

(11)Publication number : 02-044318

(43)Date of publication of application : 14.02.1990

(51)Int.Cl.

G02F 1/136

(21)Application number : 63-194519 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.08.1988 (72)Inventor : IKEDA MITSUSHI
OGAWA MEIKO

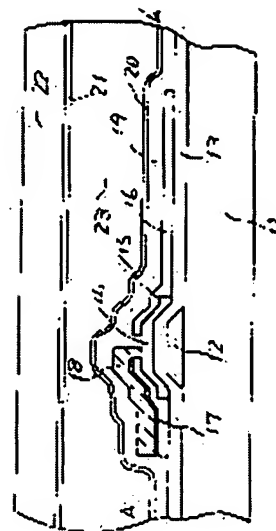
(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To cut down cost and to reduce wiring resistance and to increase a rate of performance by forming a data line and a drain of a transparent conductor and metallic layers laminated on it and by forming an picture element electrode and a source of a transparent conductor.

CONSTITUTION: The data line and the drain of a thin film transistor TFT are formed of the transparent conductor 13 and the metallic layer 16 and 17 laminated on it, and the picture element electrode and the source of the TFT are formed of the transparent conductor 13.

The wiring resistance of a data line is reduced without reducing the numerical aperture. I.e., the resistance of the data line and the drain concerning with the propagation of a signal are low because the metallic layers 16 and 17 are laminated on th transparent conductor 13. Besides, since the picture element which acts to display and the source electrode are formed on only the transparent conductor, the rate of perforation of the source part can be increased as a display electrode. Thus, the efficiency of display can be improved and the cost can be cut down.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of

registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平2-44318

⑤Int. Cl.³

G 02 F 1/136

識別記号

5 0 0

庁内整理番号

7370-2H

⑬公開 平成2年(1990)2月14日

審査請求 未請求 請求項の数 2 (全5頁)

⑭発明の名称 表示装置

⑯特 願 昭63-194519

⑰出 願 昭63(1988)8月5日

⑱発 明 者 池 田 光 志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑱発 明 者 小 川 盟 子 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑲出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳代 理 人 弁理士 則近 憲佑 外1名

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

(1) 絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線に絶縁的に交差部を形成する複数のデータ線と、これら交差部近傍に配置された画素電極と、前記交差部に隣接して配置されており、前記アドレス線に電気的接続されたゲート、前記データ線に電気的接続されたドレイン、前記画素電極に電気的接続されたソースとからなる薄膜トランジスタとを具備した表示装置において、前記データ線及びドレインは透明導体とその上に積層された金属層により形成され、前記画素電極及びソースが透明導体により形成されていることを特徴とする表示装置。

(2) 前記データ線及びドレインの金属層がメッキ法により形成されていることを特徴とする表示装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明はアクティブマトリックス型表示装置に関する。

〔従来の技術〕

近年、非晶質シリコン膜(以下a-Si膜と略称)を用いた薄膜トランジスタ(以下TFTと略称)をスイッチング素子として用いたアクティブマトリックス型液晶表示装置が注目されている。これは、廉価なガラス基板が利用できるために、大面積、高精細、高画質、廉価等が達成できる可能性があるからである。

第3図にTFTアレイを用いたディスプレイの等価回路を示す。この第3図において、31(31₁, 31₂, … 31_n)は行方向のTFT33のゲート電極を共通にドライブするアドレスライン、32(32₁, 32₂, … 32_n)はディスプレイ信号を列方向のTFT33のソースに送るデータラインである。TFT33はアドレスライン31とデータライン32の各クロスポイントに対応した画素毎に用い

られ、各ドレイン電極は表示素子35と共にキャパシタ34にも接続されている。表示素子35は例えば液晶やエレクトロルミネッセンス素子である。具体的に液晶ディスプレイパネルを例にとると、アドレスライン31、データライン32、トランジスタ33およびキャパシタ34を集積形成した駆動回路基板と、これに対向する透明電極を全面に形成した基板との間に液晶層を挟持することにより構成される。このようなディスプレイパネルはアドレスライン毎にデータを書き込む線順次方式で駆動され、表示素子35をデューティ比ほぼ100%で駆動できる利点がある。なお、上記構成でキャパシタ34は付けられないこともある。

次に、第4図にこの種のディスプレイの具体的な構造を示す。第4図において、ガラス基板41の上にアドレス線及びゲートとなる配線パターン42を形成し、ゲート絶縁膜43、 $a\text{-Si}$ 44を堆積し、 $a\text{-Si}$ の島を形成する。表示電極45を形成した後ソース46₁、ドレイン電極46₂、デ

ータ線となる配線を形成する。

この種のディスプレイを大面積、高精細化すると、コストの増加、配線抵抗の増大及び開口率の減少の問題が生じ製造が困難になる。コストを減少させるためには、製作プロセスの減少、特にマスクプロセスの減少が効果的である。例えばTFTのソース、ドレイン及び表示用透明電極を同一のITOで製造することが行なわれている(Japan Display 86, PD-3)。このようにソース(画素電極側)を透明電極にすることは開口率を増大させるのに効果的である。しかし、ITOは抵抗率が数 $m\Omega\text{cm}$ と金属の $10^{-5}\sim 10^{-4}\Omega\text{cm}$ より1桁以上大きい。このため対角10インチの表示装置では巾 $20\mu\text{m}$ 、 $2m\Omega\text{cm}$ 、厚さ 2000\AA 、長さ 20cm の配線では配線抵抗が $1M\Omega$ と大きいためパルスの伝播遅延が 4msec と大きくこれは書き込み時間 $30\mu\text{sec}$ に比較して非常に大きく駆動が不可能である。(本発明が解決しようとする課題)

上述のごとく、従来の逆スタック型のTFTを用いた表示装置用基板では、コストの増加、配線抵

抗の増加及び開口率の減少の問題を同時に解決することは困難であった。本発明は上記の問題を同時に解決することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明は、絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線に絶縁的に交差部を形成する複数のデータ線と、これら交差部近傍に配置された画素電極と、前記交差部に隣接して配置されており、前記アドレス線に電氣的接続されたゲート、前記データ線に電氣的接続されたドレイン、前記画素電極に電氣的接続されたソースとからなる薄膜トランジスタとを具備した表示装置において、前記データ線及びドレインは透明導体とその上に積層された金属層により形成され、前記画素電極及びソースが透明導体により形成されていることを特徴とする表示装置である。

(作用)

本発明は、データ線及びTFTのドレインを透明導体とその上に積層された金属層により形成し、

画素電極及びTFTのソースを透明導体により形成し、開口率を減少させずにデータラインの配線抵抗を減少させることができる。すなわち、信号の伝播に関係するデータ線及びドレインは透明導体上に金属(好ましくは低抵抗金属)層が積層されているため、データライン抵抗が低く、表示作用のある画素電極及びソース電極を透明導体のみで形成するため、ソースの部分まで表示電極として開口率を上げることができる。

また、本発明ではデータ線及びドレインの金属層をメッキ法により形成すれば、製造プロセスを簡素化することができる。

(実施例)

以下、本発明の第1の実施例を第1図を用いて説明する。ガラス基板11の上にTa12を 2000\AA スパッタし、 CF_4 と O_2 を用いたプラズマエッチングによりテーパエッチングを行ないゲート電極をパターン形成した。次に、プラズマCVD法により SiO_2 13を 2000\AA 、アンダーコート $a\text{-Si}$ 14を 3000\AA 、 $n^+a\text{-Si}$ 15 $^{-1}$ を 500\AA 堆積

した。 $\text{Mo } 15^{-2}$ を 500 \AA 堆積した後にはパターンニングして a-Si の島を形成した。次にコンタクトホールを開口した後には、ITO 膜 16 を 2000 \AA 、Ni 17 を 500 \AA を堆積し、Ni/ITO をエッチングして、データ線及びソース、ドレイン及び画素電極を形成した。次にデータ線の端に電気的接触を取り、ワット浴中でデータ線及びドレインのみに Cu 18 を $1 \mu\text{m}$ メッキ形成した。次に、HCl によりソース及び画素電極上の Ni をエッチングし、除去した。

次に、CDE によりチャネル部の $\text{n}^+ \text{a-Si}$ をエッチングして、TFT アレイを完成させた。次に $\text{SiN} \times 19$ をプラズマ CVD により堆積してパシベーションを行なった。コンタクト部の $\text{SiN} \times 19$ をエッチング除去した後には、ポリイミド 20 を 800 \AA 形成した後にはラビング配向を行なった。同様にポリイミド配向 21 を行なった対向基板 22 を接着して、TN 液晶 23 を封入して液晶ディスプレイを形成した。

このようなアドレス線を形成することによりラ

た。

データライン上層の金属は Al, Cu に限らず Au, Ag 等の低抵抗金属でも良い。ITO 上の中間金属は Cv, Ni に限らず、密着性の良い金属ならば何でも良い。

又、ディスプレイは本実施例のような、白黒形に限らず、カラーフィルターを装置したカラーディスプレイでも同様の効果が得られる。

〔発明の効果〕

本発明によれば、開口率を増加して、且つ配設抵抗が減少でき、又マスクプロセスを減少することができ、ディスプレイの性能向上及びコストの低減が実現できる。

4. 図面の簡単な説明

第 1 図及び第 2 図は本発明の一実施例の表示装置の概略図、第 3 図はアクティブマトリックス型ディスプレイの等価回路図、第 4 図は従来の表示装置の概略図を示す。

11 … ガラス基板、12 … ゲート及びアドレス電極、13 … a-Si 、14 … ゲート絶縁膜、

イン抵抗は、 $1 \text{ M}\Omega$ から $1 \text{ k}\Omega$ と大きく減少できた。又、このようなメッキプロセスを用いることにより、データ線と画素電極を同一のマスクで形成できるためマスク数を 1 枚減少することができた。又、ソース部の電極を除去することにより、画素の開口率を大きくできた。

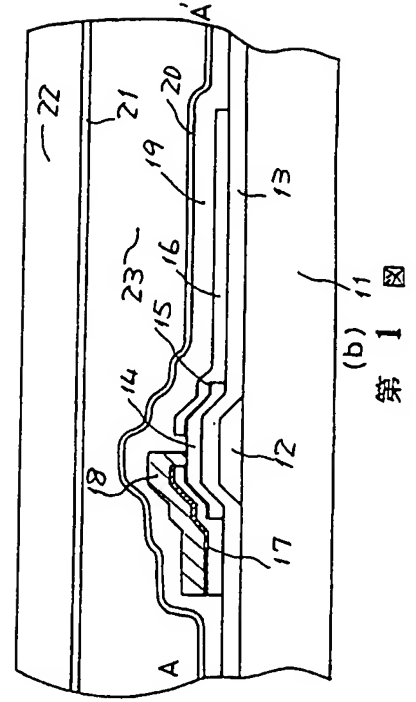
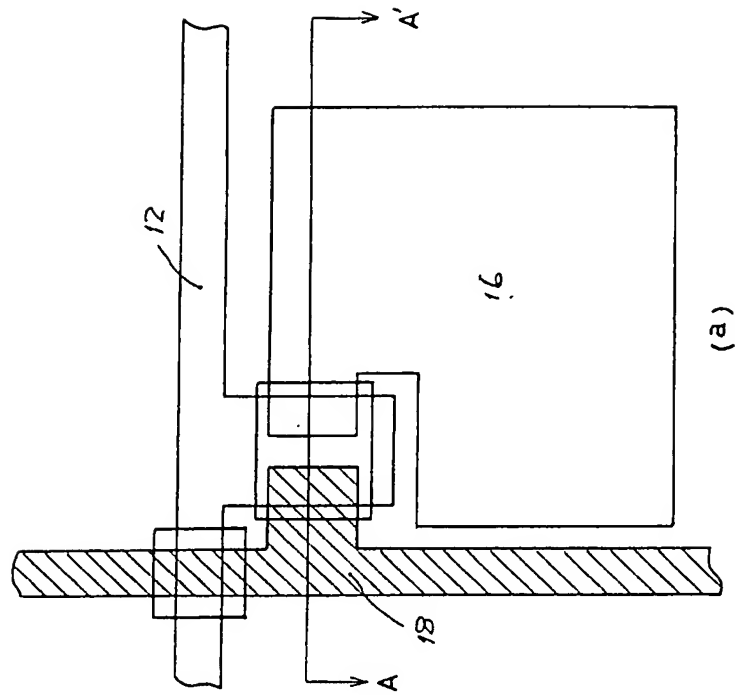
次に、第 2 図に別の実施例を示す。ガラス基板 11 の上に実施例 1 と同様に a-Si の島及びコンタクトホールを形成する。次に、ITO 膜 16、Cv 27 を 500 \AA 、Al 28 を 5000 \AA 堆積し、Al/Cv/ITO をエッチングして、データ線及びソース、ドレイン及び画素電極を形成した。次にパターンニングによりソース及び画素電極上の Al/Cv をエッチング除去した。

次に、実施例 1 と同様にして液晶ディスプレイを形成した。

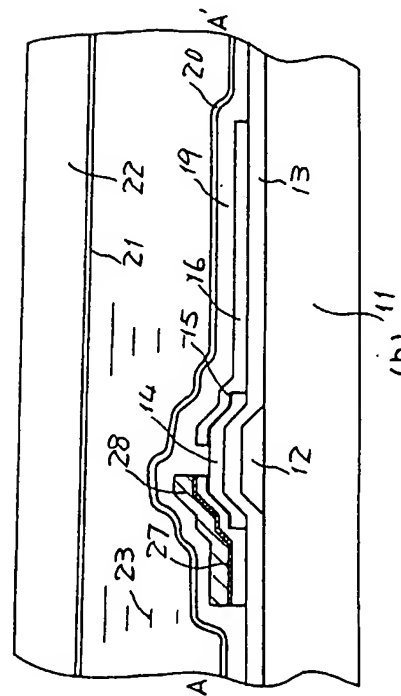
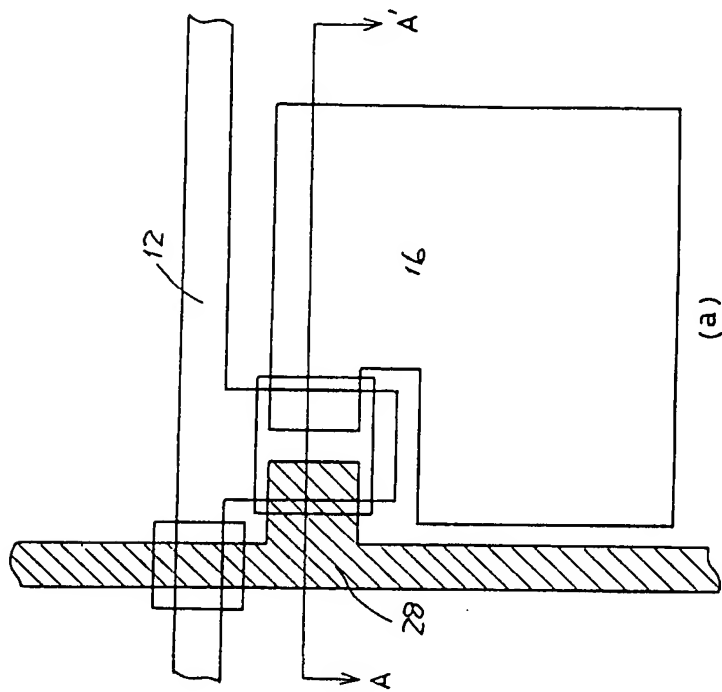
このようなアドレス線を形成することにより、ライン抵抗は $1 \text{ M}\Omega$ から $2 \text{ k}\Omega$ と大きく減少できた。又、第 1 の実施例と同様にドレイン部の電極を除去することにより画面の開口率を大きくでき

15 … $\text{Mo}/\text{n}^+ \text{a-Si}$ 、16 … ITO、17 … Ni、
18 … Cu、27 … Cv、28 … Al。

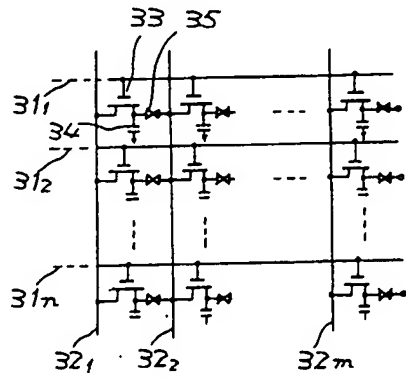
代理人 弁理士 則 近 憲 佑
同 松 山 允 之



第 1 図
(b)

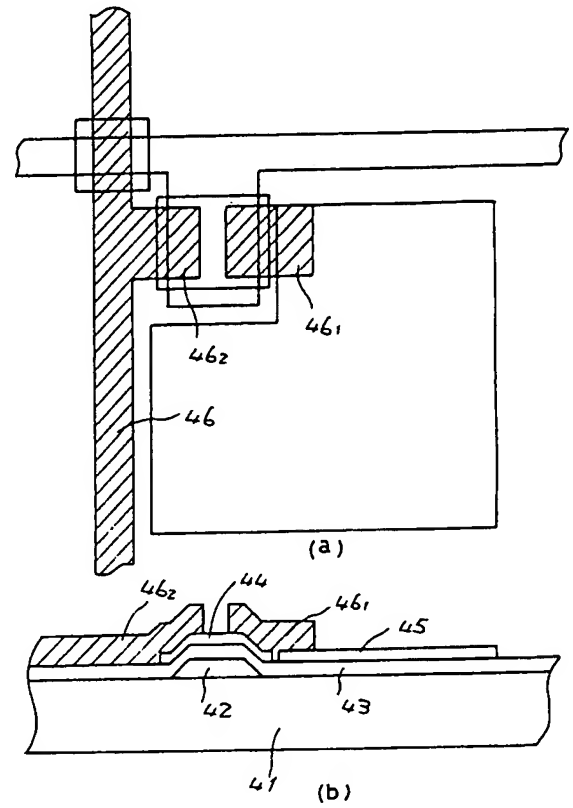


第 2 図
(b)



$31_1 \sim 31_n$: アドレスライン
 $32_1 \sim 32_m$: データライン
 33 : TFT 34 : キャパシタ
 35 : 表示素子

第 3 図



第 4 図